

IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: 2676
Examiner: Kee M. Tung

In Re PATENT APPLICATION Of:

Applicant(s) : Yasunori SATOH et al.

Serial No. : 10/628,436

Filed : July 29, 2003

For : IMAGE PROCESSING APPARATUS

Attorney Ref. : OKI 366

)
)
) **SUBMISSION OF**
) **PRIORITY DOCUMENT**
)
)
)
)

June 9, 2005

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450
Mail Stop Issue Fee

Sir:

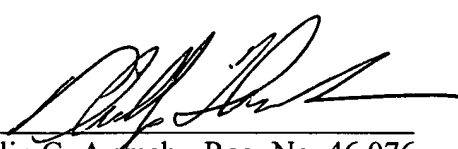
Submitted herewith is a certified copy of Japanese application number 2002-221158, filed July 30, 2002 in Japan, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,

June 9, 2005

Date


Phillip G. Ayvuch - Reg. No. 46,076
RABIN & BERDO, P.C.
Customer No. 23995
(202) 371-8976 (telephone)
(202) 408-0924 (facsimile)
firm@rabinchamp.com (e-mail)

PGA/rw

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月30日

出 願 番 号

Application Number:

特願2002-221158

ST.10/C]:

[JP2002-221158]

願 人

Applicant(s):

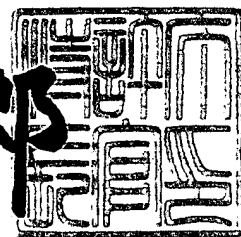
沖電気工業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年 1月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3105317

【書類名】 特許願

【整理番号】 CA000776

【提出日】 平成14年 7月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/06
G11C 7/00 317

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 佐藤 泰則

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 秋山 隆明

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100079991

【弁理士】

【氏名又は名称】 香取 孝雄

【電話番号】 03-3508-0955

【手数料の表示】

【予納台帳番号】 006895

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001067

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 供給される映像信号をサンプリングクロックでサンプリングした入力データを一時的に書き込んで格納しながら、すでに書き込まれている入力データを読み出すメモリ手段と、

前記映像信号の 1 ラインを前記サンプリングクロックによりカウントして得られる画素を 1 ラインにおける所定の画素数と比較判定し、該比較結果および比較により得られる画素数の差を出力するライン判定手段と、

該比較結果および該画素数の差に応じて前記入力データに対する書込みアドレスの生成を制御して前記メモリ手段に出力する書込み制御手段と、

前記メモリ手段に書き込まれる映像信号における水平同期信号の書込み開始から前記メモリ手段の容量が有する半値の経過後までの時間を位相差とし、該位相差の経過と同時に前記書込み開始の書込みアドレスを読み出し開始の読出しアドレスとし、該読出しアドレスの生成を制御して前記メモリ手段に出力する読出し制御手段とを含む画像処理装置において、

該読出し制御手段は、前記書込み制御手段が生成する書込みを許可する制御信号および前記ライン判定手段による前記所定の画素数より少ない画素数の判定結果に応じて書き込まれる 1 ラインにおける最終画素の書込みアドレスおよび前記ライン判定手段からの前記画素数の差を格納し、読出しを許可する制御信号が供給される期間中、前記サンプリングクロックに応じて前記最終画素の書込みアドレスおよび前記画素数の差を出力するレジスタと、

前記読出し許可制御信号を生成するとともに、前記最終画素の書込みアドレスと前記読出しアドレスとの比較を行い、該比較結果の一致に応じて前記画素数の差が示す回数分にわたって前記最終画素の書込みアドレスを選択させる切換制御信号を生成し、該回数分の出力にともない前記レジスタをリセットさせる読出し調整手段と、

前記最終画素の書込みアドレスと前記読出しアドレスの一致に応じて前記回数

分の期間にわたって前記最終画素の書込みアドレスを選択する選択手段とを含むことを特徴とする画像処理装置。

【請求項 2】 請求項 1 に記載の装置において、前記メモリ手段は、前記 1 ラインの画素数を格納する容量よりも少ないことを特徴とする画像処理装置。

【請求項 3】 供給される映像信号をサンプリングクロックでサンプリングした入力データを一時的に書き込んで格納しながら、すでに書き込まれている入力データを読み出すメモリ手段と、

前記入力データを 1 ラインずつカウントするカウント手段と、

前記入力データに対する書込みアドレスの生成を制御して前記メモリ手段に出力する書込み制御手段と、

前記メモリ手段に書き込まれる映像信号における水平同期信号の書込み開始から前記メモリ手段が有する容量の半値の経過後までの時間を位相差とし、該位相差の経過と同時に前記書込み開始の書込みアドレスを読み出し開始の読み出しアドレスとし、該読み出しアドレスの生成を制御して前記メモリ手段に出力する読み出し制御手段とを含む画像処理装置において、

該読み出し制御手段は、供給される映像信号を 1 ラインずつサンプリングして得られる入力データのカウンタ値と所定の値との間に生じるずれを検出し、該検出したずれのうち、少ない方向へのずれの蓄積による影響を回避する調整処理を行うことを特徴とする画像処理装置。

【請求項 4】 請求項 3 に記載の装置において、前記読み出し制御手段は、前記所定の画素数をカウントする読み出しカウンタ手段と、

前記書込み制御手段が供給する最終画素の書込みアドレスと前記読み出しカウンタ手段の読み出しアドレスとを基にアドレスの一致を判定し、該一致に応じて前記読み出しカウンタ手段の 1 カウンタ分を禁止させる選択制御信号を生成するアドレス判定手段とを含むことを特徴とする画像処理装置。

【請求項 5】 請求項 3 または 4 に記載の装置において、前記読み出し制御手段は、前記読み出しカウンタ手段に垂直同期信号を供給してリセットすることを特徴とする画像処理装置。

【請求項 6】 請求項 5 に記載の装置において、前記読み出し制御手段は、前

記位相差の経過を検出し、該検出に応じて読出しの開始を行わせてタイミング調整する読出しタイミング制御手段を含み、

該読出しタイミング制御手段は、外部から供給される制御信号に応じてリセットする位置を考慮されたりセット信号を前記読出しカウント手段に出力することを特徴とする画像処理装置。

【請求項 7】 請求項 3 に記載の装置において、前記読出し制御手段は、前記所定の画素数をカウントする読出しカウント手段と、

前記位相差の変化を考慮してあらかじめスレッシュホールド値を設定し、該スレッシュホールド値より前記位相差の現在値が大きい位相差の検出に応動して位相差を初期の大きさに戻す位相差クリア信号を出力する位相差判定手段と、

最初の前記位相差を検出して読出しカウント手段を駆動開始させる開始制御信号を生成し、該開始制御信号、前記位相差クリア信号および垂直同期信号のいずれか一つをリセット信号として選択し、前記読出しカウント手段に出力するタイミング制御手段とを含むことを特徴とする画像処理装置。

【請求項 8】 請求項 7 に記載の装置において、前記タイミング制御手段は、前記位相差の経過を検出し、該検出に応じて前記開始制御信号を生成する読出しタイミング制御手段と、

該開始制御信号、前記位相差クリア信号および前記垂直同期信号を論理和演算して前記読出しカウント手段に出力するタイミング供給手段とを含むことを特徴とする画像処理装置。

【請求項 9】 請求項 7 に記載の装置において、前記タイミング制御手段は、前記 1 ラインに含まれる標準の画素数をカウントする標準カウント手段と、

1 ライン前における前記標準カウント手段のカウント値と前記書込み開始のカウント値との差が示す第 1 位相差と現ラインにおける前記標準カウント手段のカウント値と前記書込み開始のカウント値との差が示す第 2 位相差との差分を 1 ライン間における画素数のずれ量として出力するずれ算出手段と、

該画素数のずれ量、前記位相差クリア信号および前記垂直同期信号を用いて前記映像信号のうち、リセットする位置を判定し、該判定に応じてリセット信号を生成するリセット位置判定手段と、

前記位相差を検出し、読み出しにおける前記開始制御信号を生成する読出しタイミング制御手段と、

前記リセット信号および前記開始制御信号を論理和演算して前記読出しカウント手段に出力するタイミング供給手段とを含むことを特徴とする画像処理装置。

【請求項 1 0】 請求項 3 ないし 9 のいずれか一項に記載の装置において、前記メモリ手段は、前記 1 ラインの画素数を格納する容量以上を有することを特徴とする画像処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、たとえば、供給される映像信号をサンプリングして得られたデータをメモリに書きこみ、そしてこのデータを読み出すタイミングの調整を行う画像処理装置に関するものである。

【 0 0 0 2 】

【従来の技術】

通常、映像信号は 1 ラインあたりの画素数が決められている。たとえば、NTSC (National Television System Committee) 規格の場合、水平方向のサンプリング周波数を 13.5MHz とすると、その数は 858 画素となる。しかしながら、非標準信号と呼ばれる信号ではその数どおりでないこともある。また、標準信号を使用してもデジタルサンプリング処理において非同期サンプリングクロックを使用した場合、このサンプリングクロックによってサンプリング位置に違いが生じる。このため、画素数を異ならせてしまうことがある。

【 0 0 0 3 】

実際に、1H ラインの画素数が一定でないと、モニタ等に映した画像には、画像中のエッジにぎざぎざが発生したり、画像中における縦の直線がずれる現象が生じて、映像品質が損なわれる。映像品質を保つ方法として画素調整回路は、FIFO (First-In First-Out) メモリ、1H 判定部、書込み制御部および読出し制御部が用いられている。FIFO メモリは、入力されるデータを格納し、時間調整を行って格納したデータを出力する。FIFO メモリの容量は、限定するものではないが、0.

5～1kワードが適当とされている。FIFOメモリは、一般的にメモリ容量を節約し、効率のよいデータ転送を行うため、メモリ容量は1Hラインよりも少なくして使用されている。

【0004】

1H判定部には、カウンタおよび画素数判定部が含まれている。カウンタは、水平同期信号に対してあらかじめ設定したスレッシュホールドから次のスレッシュホールドまでを1Hラインの間隔としてこの間隔の間をサンプリングクロックによりカウントし、入力映像信号における1Hライン中の画素数とする。カウンタは、カウント値を画素数判定部に供給している。ここで、水平同期信号は、供給された映像信号を既存の同期分離回路で同期分離された信号である。水平同期信号は、カウンタを1H毎にリセットする信号として用いている。

【0005】

画素数判定部は、供給されるカウント値を画素数とし、このカウント値と1Hライン中にてメモリに書き込まれる所定の画素数（標準値）と比べながら、書き込むデータの位置に応じた制御するデータを書込み制御部に送る。このデータは、比較結果であり、1H中のカウントが所定の画素数より少ない場合、(-)を出力し、等しい場合、(0)を出力する。そして、1H中のカウントが所定の画素数より多い場合、(+)を出力する。また、画素数判定部は、所定の画素数とカウント値との差も供給している。

【0006】

書込み制御部には、図示しないが書込み制御回路および書込みカウンタが含まれる。書込み制御部は、FIFOメモリに供給される入力データの書込みアドレスを制御する機能を有している。この機能を発揮するため、書込み制御回路は、書込みカウンタにカウント開始を指示する制御信号を出力し、FIFOメモリにおける書込み開始アドレスとFIFOメモリにおける読出し開始アドレスとの間を位相差とする。この位相差は、FIFOメモリの容量を n とした場合、 n の半値に設定している。書込み制御回路は、この n の半値を読出し制御回路に供給している。また、書込み制御回路は、書込みカウンタに対して書込み禁止制御も行う。書込みカウンタは、カウンタの開始から供給されるサンプリングクロックに応動してカウントし

、書込みアドレスとしてFIFOメモリに出力する。このカウントは、読出し制御回路にも供給されている。

【0007】

また、読出し制御部には、読出し制御回路および読出しカウンタが含まれている。読出し制御回路は、読出しカウンタに対して読出し開始を報知し、カウント開始の制御信号を出力する機能を有している。読出しカウンタは、供給される制御信号によりカウントを開始し、以後サンプリングクロックに応じてフリーランで動作する。読出しカウンタは、カウント値を読出しアドレスとしてFIFOメモリに供給している。

【0008】

画素調整回路における動作を簡単に説明する。FIFOメモリには、サンプリングした入力データが1Hラインの先頭から順次書き込まれ、一定時間後にFIFOメモリに書き込まれたデータが読み出される。ここで、FIFOメモリは容量が n で、1Hラインにおける所定のサンプリング数（画素）よりも少ない容量である。

【0009】

ここで、一定時間とは、前述した位相差である。FIFOメモリに半分書き込んだ後に読出しを開始する。位相差の位置は $n/2$ である。また、1Hラインを前述したサンプリング周波数13.5MHzでサンプリングした場合に得られる画素数は、858である。

【0010】

画素数判定部は、1Hラインの画素数が標準値（858）に等しい第1の場合、画素数が標準値よりも大きい第2の場合および画素数が標準値よりも小さい第3の場合を書込み制御部に報知する。書込み制御部では、第1の場合、正常な動作と判断し、書込みアドレスをFIFOメモリに供給し、位相差の関係を保ちながら読出し制御部はFIFOメモリに読出しアドレスを供給している。これにより、入力データが順次入出力され続ける。

【0011】

しかし、画素数判定部でのカウント値が標準値と異なる第2の場合、書込み制御回路は、入力データが1Hラインあたりの標準値より画素数が多いという判定結

果 (+)と供給される画素数の差、すなわち供給された入力データの内、増分の画素をFIFOメモリに書き込まないように書込み禁止制御を行う。この禁止制御により、ラインの画素数としては標準値と同じ数が書き込まれることになり、読出し回路は通常と同じ制御でデータ読出しを行う。

【 0 0 1 2 】

これに対して、第3の場合、書込み制御回路は、1Hラインの入力データを書き込み、不足した画素数分のアドレスを飛ばして次の1Hラインに対する処理を行うように制御を行っている。ここでも、読出し制御部は、通常と同じ制御を行い、一定の画素数を出力している。

【 0 0 1 3 】

このように書込み制御部は、入力データの書込み制御をFIFOメモリに対して行っているとき、位相差を管理して画素管理を行っている。また、本処理では入力信号と出力信号に位相差のずれまたは差を持たせている。この差は、1フィールド毎に位相差をデフォルト値に戻す処理が施されることによって吸収され、その差を解消する。このように処理して1Hラインあたりの画素数を合わせ、映像出力が得られるようにしている。

【 0 0 1 4 】

【発明が解決しようとする課題】

ところで、第3の場合、書込み側で不足分のアドレスを飛ばすように制御して書込みアドレスが調整され、読出しにおいては通常通り一定の画素数を出力する読出し制御が行われる。ここで、FIFOメモリの書込み制御により飛ばされたアドレスに対応するメモリ領域には、この画素数の不足が発生する以前に書き込まれた入力データが書込み変更されずに残っている。このため通常通りに読出しに際して読み出すと、このデータも読み出されることになる。不足の発生以前に書き込まれたデータと現在のデータに違いがあったり、両データ間に相関性がない場合、この画素に対応してドットノイズが、いわゆるちらつきノイズとして画面に現れてしまう。

【 0 0 1 5 】

また、入力の誤差は、1フィールド毎に一括リセットする誤差吸収処理で行わ

れるから、1フィールドの期間中にずれまたは差が徐々に蓄積され、大きくなっていく。この結果、画像には、画像の上部と下部がずれて見えたり、画像の途中に生じた乱れがこのフィールドの終了まで継続して見える現象が生じてしまう。

【0016】

本発明はこのような従来技術の欠点を解消し、画素数の調整にともなって生じるノイズや画像の乱れのない画像が得られる画像処理装置を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明は上述の課題を解決するために、供給される映像信号をサンプリングクロックでサンプリングした入力データを一時的に書き込んで格納しながら、すでに書き込まれている入力データを読み出すメモリ手段と、映像信号の1ラインを前記サンプリングクロックによりカウントして得られる画素を1ラインにおける所定の画素数と比較判定し、この比較結果および比較により得られる画素数の差を出力するライン判定手段と、この比較結果およびこの画素数の差に応じて入力データに対する書込みアドレスの生成を制御してメモリ手段に出力する書込み制御手段と、メモリ手段に書き込まれる映像信号における水平同期信号の書込み開始からメモリ手段が有する容量の半値の経過後までの時間を位相差とし、この位相差の経過と同時に書込み開始の書込みアドレスを読み出し開始の読出しアドレスとし、この読出しアドレスの生成を制御してメモリ手段に出力する読出し制御手段とを含む画像処理装置において、この読出し制御手段は、書込み制御手段が生成する書込みを許可する制御信号およびライン判定手段による所定の画素数より少ない画素数の判定結果に応じて書き込まれる1ラインにおける最終画素の書込みアドレスおよびライン判定手段からの画素数の差を格納し、読出しを許可する制御信号が供給される期間中、サンプリングクロックに応じて最終画素の書込みアドレスおよび画素数の差を出力するレジスタと、読出し許可制御信号を生成するとともに、最終画素の書込みアドレスと読出しアドレスとの比較を行い、この比較結果の一致に応じて画素数の差が示す回数分にわたって最終画素の書込みアドレスを選択させる切換制御信号を生成し、この回数分の出力にともないレジス

タをリセットさせる読出し調整手段と、最終画素の書込みアドレスと読出しアドレスの一致に応じて回数分の期間にわたって最終画素の書込みアドレスを選択する選択手段とを含むことを特徴とする。

【 0 0 1 8 】

本発明の画像処理装置は、読出し制御手段にて位相差を考慮し、読出し調整手段において書込み許可制御信号およびライン判定手段による所定の画素数より少ない画素数の判定結果に応じてレジスタに最終画素の書込みアドレスおよび画素数の差を格納させ、読出し開始から最終画素の書込みアドレスとメモリ手段に供給される読出しアドレスとを比較して、比較結果の一致により少ない画素数における最終画素に達したと判断し、レジスタが格納する画素数の差が示す回数分、最終画素の書込みアドレスおよび切換制御信号を生成し、この期間中、選択手段から最終画素の書込みアドレスをメモリ手段に読出しアドレスとして供給することにより、少ない画素分が最終画素で補われる。この処理の後、レジスタは読出し調整手段によって格納内容がリセットされる。

【 0 0 1 9 】

また、本発明は上述の課題を解決するために、供給される映像信号をサンプリングクロックでサンプリングした入力データを一時的に書き込んで格納しながら、すでに書き込まれている入力データを読み出すメモリ手段と、入力データを1ラインずつカウントするカウント手段と、入力データに対する書込みアドレスの生成を制御して前記メモリ手段に出力する書込み制御手段と、メモリ手段に書き込まれる映像信号における水平同期信号の書込み開始からメモリ手段が有する容量の半値の経過後までの時間を位相差とし、この位相差の経過と同時に書込み開始の書込みアドレスを読出し開始の読出しアドレスとし、この読出しアドレスの生成を制御してメモリ手段に出力する読出し制御手段とを含む画像処理装置において、この読出し制御手段は、供給される映像信号を1ラインずつサンプリングして得られる入力データのカウンタ値と所定の値との間に生じるずれを検出し、この検出したずれのうち、少ない方向へのずれの蓄積による影響を回避する調整処理を行うことを特徴とする。

【 0 0 2 0 】

本発明の画像処理装置は、読出し制御手段にて供給される映像信号を1ラインずつサンプリングして得られる入力データのカウンタ値と所定の値との間に生じるずれを検出し、このうち、画素数が少ない方向へのずれにともなうラインにおいて蓄積されることにより、位相差が増加させられるので、この位相差が増加しても影響を受けないように読出しアドレスに対する回避処理や蓄積したずれの吸収処理を行って、読出し制御を続ける。

【 0 0 2 1 】

【発明の実施の形態】

次に添付図面を参照して本発明による画像処理装置の実施例を詳細に説明する。

【 0 0 2 2 】

本実施例は、本発明の画像処理装置を画素タイミング調整装置10に適用した場合である。本発明と直接関係のない部分について図示および説明を省略する。以下の説明で、信号はその現れる接続線の参照番号で指示する。

【 0 0 2 3 】

画素タイミング調整装置10は、1H判定部12、書込み制御部14、FIFOメモリ16および読出し制御部18を含む。1H判定部12には、カウンタ12aおよび画素数判定部12bが含まれている。1H判定部12は、映像信号として供給される1Hライン中にてサンプリングされる画素数が所定の画素数にあるか否かの判定を行う機能を有している。1H判定部12には、サンプリングクロック12cと1Hの区切りを示す水平同期信号12dが供給されている。サンプリングクロック12cは、たとえばクロック周波数として13.5MHzを用いる。このクロック周波数を用いることにより、カウンタ12aは、NTSC規格での水平走査周波数が $f_H=15.734\text{ kHz}$ であるから、858カウントをフルカウントにしている。カウンタ12aは、供給される水平同期信号12dの立ち下がりによってカウントをリセットする。カウンタ12aは、カウント値12eを画素数判定部12bに出力する。

【 0 0 2 4 】

画素数判定部12bは、上述した858カウントがサンプリングされる所定の画素数に対するカウント値12eの大小関係を判定している。大小関係は、小さい場合(-)

、等しい場合(0)、大きい場合(+)がそれぞれの判定結果である。画素数判定部12bは、判定結果12fを書込み制御部14に供給する。また、画素数判定部12bは、所定の画素数より供給される画素数が少ない場合、画素数の差を算出し、得られた差12gを読み出し制御部18に出力し、所定の画素数より供給される画素数が多い場合も、画素数の差12gを算出し、得られた差12gを書込み制御部14aに出力する。

【 0 0 2 5 】

書込み制御部14には書込み制御回路14aおよび書込みカウンタ14bが含まれている。書込み制御回路14aは、書込みカウンタ14bの動作を制御するカウンタ制御信号14cを書込みカウンタ14bに供給する。カウンタ制御信号14cは、動作開始を指示したり、画素数が多い場合、この入力データ（画素）の増分を書込み禁止する指示を書込みカウンタ14bに行う。書込み制御回路14aは、動作開始を示す動作開始信号14dおよび1Hラインにおける画素数の少ないことを受けて、データ書込みイネーブル信号14eを読み出し制御部18に出力する。

【 0 0 2 6 】

書込みカウンタ14bは、FIFOメモリ16の容量nに合わせて設けられている。本実施例では、FIFOメモリ16の容量nが1Hラインの画素数より少ない設定のため、所定の画素数858より小さいカウンタを用意する。書込みカウンタ14bには、サンプリングクロック12cが供給されている。書込みカウンタ14bは、このカウント出力14fを書込みアドレスとしてFIFOメモリ16および読み出し制御部18に出力している。

【 0 0 2 7 】

FIFOメモリ16は、FIFOメモリ16の容量nを1Hラインの画素数より少なく、入力と出力とを同時に行うことができるデュアルタイプを使用するとよい。このような動作を可能にするため、FIFOメモリ16は、書込み開始を示す水平同期信号の立ち下がりを読み出し開始を示す水平同期信号の立ち下がりの間を位相差として両処理が重複しないように書込みと読み出しタイミングが制御され、サンプリングクロック12cに応じて動作している。FIFOメモリ16には、サンプリングクロック12cでサンプリングされ、所定の期間にわたってホールドされたNTSC規格の映像信号が入力データ16aとして供給される。供給された入力データ16aは、書込みアドレス

14fに応じてメモリ内の対応するアドレスに書き込まれ、後述する読出し制御部18から供給される読出しアドレスに応じてメモリ内の対応するアドレスに格納されている入力データ16aを読み出して、出力データ16bとして出力する。入力データ16aの供給は、図示しないが書込み制御に要する時間を考慮して調整し、FIFOメモリ16に供給されていることは言うまでもない。

【 0 0 2 8 】

読出し制御部18には、読出し制御回路18a、読出しカウンタ18b、レジスタ18c、読出し調整回路18dおよび選択回路18eが含まれている。読出し制御回路18aには、書込み制御回路14aからの動作開始信号14dと書込みカウンタ14bからの書込みアドレス14fが供給されている。読出し制御回路18aには、あらかじめFIFOメモリ16が有する容量nの半値が位相差として格納されている。位相差は、カウント値に換算して格納されている。なお、容量nの半値は、外部から読出し制御回路18aに供給するようにしてもよい。

【 0 0 2 9 】

読出し制御回路18aは、動作開始信号14dを受けてから供給された書込みアドレス14fのカウント数とあらかじめ設定した位相差分のカウント数が一致したか否かを判定している。読出し制御回路18aは、一致の判定結果に応じてカウンタ制御信号18fを読出しカウンタ18bに出力する。

【 0 0 3 0 】

読出しカウンタ18bは、FIFOメモリ16の容量nに合わせて設けられている。読出しカウンタ18bは、書込みカウンタ14bと同じカウンタが用いられる。読出しカウンタ18bにはサンプリングクロック12cが供給され、読出しカウンタ18bはカウンタ制御信号18fの供給に応じてカウント動作を開始し、サンプリングクロック12cのタイミングでカウントする。読出しカウンタ18bは、読出しカウント18gを読出しアドレスとして選択回路18eの一端18hに供給する。

【 0 0 3 1 】

レジスタ18cは、書込みアドレス14fの内、最終画素に対応する書込みアドレスおよび画素の差12gを格納し、読出し時に格納した書込みアドレスを読出し調整回路18dに出力する。レジスタ18cには、この書込み／読出しを行うために書込み

制御回路14aからデータ書込みイネーブル信号14eと読出し調整回路18dからデータ読出しイネーブル信号18iが供給され、サンプリングクロック12cにより動作する。

【 0 0 3 2 】

レジスタ18cは、データ書込みイネーブル信号14eが供給されると、このとき供給されている書込みアドレス14f（カウント値）および画素の差12gをそれぞれ格納する。この書込みアドレス14fが、1Hラインにおける最終画素を格納する書込みアドレスである。また、レジスタ18cは、読出し調整回路18dから供給されるデータ読出しイネーブル信号18iが供給される期間中、サンプリングクロック12cの立ち上がりに応動して格納されている書込みアドレス14fを読出しアドレス18jとして読出し調整回路18dおよび選択回路18eに他端18kに供給する。レジスタ18cには、読出し調整回路18dからリセット信号18mも供給されている。

【 0 0 3 3 】

読出し調整回路18dには、データ読出しイネーブル信号18iのイネーブル期間中、読出しカウント18gと読出しアドレス18j（すなわち、書込みアドレス14f）が入力され、アドレスの比較が行われる。データ読出しイネーブル信号18iは、図示しないが、たとえばデータ書込みイネーブル信号14eを反転した信号である。読出し調整回路18gは、特に、比較したアドレスの一致に応動して切換制御信号18nを選択回路18eに出力する。読出し調整回路18gは、切換制御信号18nが画素の差12gの数を出力回数としての出力回数とサンプリングクロック周期との積で表される調整期間にわたって出力されるように生成する。読出し調整回路18dは、切換制御信号18nにおける出力期間の経過後、レジスタ18cに対して格納しているデータを消去するリセット信号18mを供給する。

【 0 0 3 4 】

選択回路18eには、入力端子18hに読出しカウンタ18bからの読出しカウント18gを読出しアドレスとして供給され、入力端子18kにレジスタ18cから読み出した書込みアドレス14fを読出しアドレス18jとして供給されている。選択回路18eは、切換制御信号18nに応じて供給される読出しアドレスの出力を切り換えている。すなわち、選択回路18eは、アドレスの一致から調整期間中に読出しアドレス18j

を出力するように選択し、これ以外の期間では読み出しカウント18gを読出しアドレスとして選択出力する。選択回路18eは、FIFOメモリ16に選択された読出しアドレス18pを供給する。

【 0 0 3 5 】

この構成により、1Hラインにおける所定の画素数より入力データの画素数が少ない場合、1Hラインとして供給される入力データの最終画素に対応する書込みアドレスと不足分の数（画素数の差）をレジスタ18cに格納し、FIFOメモリ16に対する読出し制御時に読出し調整回路18dからの切換制御信号18nで選択回路18eを切り換え、レジスタ18cから読み出して最終画素以降の欠落している画素に最終画素のアドレスを繰返しアクセスするように読出し制御を行い、所定の画素数を揃えたとともに、最終画素と同じデータを供給することにより、この場合における画面上の破綻を回避する。動作については後段でさらに説明する。

【 0 0 3 6 】

次に画素タイミング調整装置10に対する比較例を図2に示し説明する。画素タイミング調整装置20は、図1と同じ構成要素を有している。すなわち1H判定部22、書込み制御部24、FIFOメモリ26および読出し制御部28である。共通する信号には図1に記した参照符号と同じものを付す。1H判定部22は、カウンタ22aおよび画素数判定部22bを有している。書込み制御部24は、書込み制御回路24aおよび書込みカウンタ24bを含んでいる。そして、読出し制御部28には、読出しカウンタ28aおよび読出し制御回路28bが含まれている。

【 0 0 3 7 】

図1と比較すると、1H判定部22および書込み制御部24には、同じ構成要素が用いられ、読出し制御部28には、読出し制御回路28aおよび読出しカウンタ28bだけが含まれている。図2からわかるように、読出し制御部28には、図1のレジスタ18c、読出し調整回路18dおよび選択回路18eが含まれていない。

【 0 0 3 8 】

画素タイミング調整装置10との相違点について列挙する。1H判定部22は、画素数判定部22bから判定結果12fおよび画素数の差12gを書込み制御部24に供給する。書込み制御回路24aは、判定結果12fの結果から画素数が多い場合、増加分を無

視する書込み制御信号14cを供給し、画素数が少ない場合、不足分を無視したアドレスの飛び越しによる書込み制御信号14cを生成し、書込みカウンタ24bに供給する。後者の場合、書込み制御回路24aは、直ちに次のラインに対する書込みアドレス制御を行うことになる。また、書込み制御回路24aは、動作開始信号14dを読出し制御回路28aに供給する。

【 0 0 3 9 】

読出し制御部28において読出し制御回路28aは、動作開始信号14dと書込みアドレス14fが供給され、あらかじめ格納されている位相差を基に位相差の時間が経過したか否かを判定し、経過後直ちにカウンタ制御信号18fを読出しカウンタ28bに出力し、カウンタの動作を開始させる。カウンタ制御信号18fは、位相差の関係を保って読出しカウンタ28bを動作開始させるトリガ信号である。読出しカウンタ28bは、動作開始後、フリーランで動作する。読出しカウンタ28bは、カウンタ値を読出しアドレス18gとしてFIFOメモリ26に供給している。

【 0 0 4 0 】

次にFIFOメモリ16, 26に対する書込みおよび読出し制御のタイミング関係について図3を用いて簡単に説明する。図3のタイミングチャートには、1Hラインにおける所定の画素数がサンプリングされた場合((a), (b), (c))、所定の画素数より多くサンプリングされた場合((d), (e), (f))および所定の画素数より少なくサンプリングされた場合((g), (h), (i))がそれぞれ、示されている。ここで、FIFOメモリ16, 26には、前述したように1Hラインにおける所定の画素数(858)よりも少ないメモリ容量 n が使用されている。位相差は、メモリ容量 n の半値($n/2$)に設定している。

【 0 0 4 1 】

図3(a)の映像信号がサンプリングされた入力データ16aは、図3(b)が示すFIFOメモリ16に順次書き込まれ、位相差の経過後に図3(c)に示すように出力データ16bが順序に従って読み出される。1Hラインにおける所定の画素数がサンプリングされた場合、位相差が保たれていることがわかる。

【 0 0 4 2 】

1Hラインにおける所定の画素数が、図3(d)に示すように、たとえば α 個多くサ

ンプリングされることがある。1H判定部22が判定結果12fおよび画素数の差12gを書込み制御部24に供給する。位相差は、 α 分遅れて水平同期信号が到来することからこの遅れた時間分減少することになる($n/2 - \alpha$)。余分な α 個は、画面の表示領域外の可能性が高いので、書込み制御部24は、読出し制御を通常の通りに行わせるため、この入力データ分について処理しないで直ちに次のラインに対する処理に進む。すなわち書込み制御部24の処理としては、入力データ16aをすべて書き込む処理に比べて α 個分の書込みアドレスを増やさないので、次のラインに対する処理が行われることにより書込み制御における最終画素の到来を早めることになる。この書込みアドレスの詰めを矢印Aで表している。

【 0 0 4 3 】

読出し制御は、書き込まれた入力データ16aを単純に順次読み出している。このとき、読出し制御は、結果的に、書込み時において α 個分書込みアドレスの詰め処理により α 個とサンプリングクロック周期の積で表される時間だけ早く読み出される。正常な位相差 $n/2$ の関係に対してこの場合の位相差は、前述したように図3(d)、(f)の関係から、 $n/2 - \alpha$ となる。以降、正常に入力データ16aが供給されても、短くなった位相差は維持されることがわかる。読出し制御は、所定の画素数を読み出すことになり、正常に読み出したことと同等の処理が行われる。

【 0 0 4 4 】

逆に、図3(g)に示すように、たとえば α 個少なくサンプリングされることがある。1H判定部22では、判定結果12fおよび画素数の差12gが書込み制御部24に供給される。この場合、書込み制御部24では、判定結果12fの供給を受けて1Hラインにおける最終画素の到来とし、画素数の差12g分の書込みアドレスをカウントさせるとともに、この間の書込みアドレスの出力を停止または禁止するように書込み制御信号14cが生成され、書込みカウンタ24bに供給される。1Hラインにおける書込み開始が α の分早まることから、位相差は、 $n/2 + \alpha$ と増加する。結果的に書込みアドレスは、最終画素からすぐに次のラインに対する書込み制御が行われることによって α 分の書込みアドレスが飛ばされることになる。この書込みアドレスの飛ばし処理は、図3(g)、(h)の間に示す矢印Bで表される。

【 0 0 4 5 】

読出し制御部28では、通常の通りFIFOメモリ26に対する読出し制御が行われる。このとき、位相差は $n/2 + \alpha$ の関係が保たれている。読出し制御は、飛ばし処理された書込みアドレスも読出しアドレスとして用いられる。しかしながら、FIFOメモリ26の飛ばし処理された書込みアドレスには、少ないサンプリング画素の1Hラインが書き込まれる以前の画素データが書き込まれている。この不足領域にすでに書き込まれていた入力データは、現1Hラインと相関性がよいとは限らない。読出し制御部28が現ラインと関係のないデータを読み出すことによって画面上の端にちらつきノイズが生じてしまう。

【 0 0 4 6 】

これに対して、本実施例で1H判定部12は、判定結果12fおよび画素数の差12gを書込み制御部14に供給し、画素数の差12gをレジスタ18cに供給している。書込み制御部14における書込み制御回路14aでは、判定結果12fおよび画素数の差12gを受けて最終画素が検出されたと判断し、データ書込みイネーブル信号14eをレジスタ18cに出力する。レジスタ18cには、書込みカウンタ14bから書込みアドレス14fが供給され、イネーブル状態を示すデータ書込みイネーブル信号14eが供給された際にレジスタ18cは、供給される書込みアドレスを取り込む。また、レジスタ18cは、画素数の差12gも格納する。レジスタ18cには、読出し調整回路18dからデータ読出しイネーブル信号18iが供給され、レジスタ18cは、これ以後サンプリングクロック12cに応動して格納した書込みアドレスを読出しアドレス18jとして読出し調整回路18dおよび選択回路18eに出力する。

【 0 0 4 7 】

読出し調整回路18dでは、読出しカウンタ18bからの読出しアドレス18gと上述した読出しアドレス18jが供給され、アドレス値の比較が行われる。読出し調整回路18dは、比較したアドレス値の一致に応動して画素の差12gの大きさに合わせた期間中にわたって入力端子18kからの読出しアドレス18jを選択するように切換制御信号18nを生成する。選択回路18eは、切換制御信号18nの供給を受けて最終画素以降の画素がないまたは足りない期間中、最終画素の読出しアドレスをFIFOメモリ16に送る。FIFOメモリ16は、供給される読出しアドレスに応じて図3(h)に示す最終画素の入力データ18Fが繰り返し読み出される。入力データ18Fは、現ラ

インのデータであり、本来サンプリングされていて然るべき不足分の入力データと同じかまたは類似した入力データと考えられる。

【 0 0 4 8 】

したがって、入力データ18Fを読み出すことによって、画素タイミング調整装置10は、同等レベルの画素を図示しないモニタに供給すると、画素不足の領域に対応する画面にちらつきノイズの発生を回避することができる。位相差は、 α 個の不足により画素数単位で表すと $n/2+\alpha$ になっている。1Hラインにおける増分や不足が存在すると、図3のタイミングチャートからわかるように位相差が変化することがわかる。位相差の変化はフィールドを単位にリセットするとよい。

【 0 0 4 9 】

なお、1H判定部12によるカウント値が標準値(858)と一致または大きい場合、画素タイミング調整装置20での説明と同じ処理で問題なく動作することは言うまでもない。また、カウント値が小さいと判定される場合、画素数の差12gは、大体、1か2であり、これより大きな値は通常ではほとんどない。

【 0 0 5 0 】

このように動作させることにより、ラインあたりの画素数が少なくてもちらつきノイズの発生を防ぐことにより、画素タイミング調整装置10は高画質な映像を提供できるようになる。

【 0 0 5 1 】

次に本発明の画像処理装置を画素タイミング調整装置30に適用した他の実施例について図4を参照して説明する。本実施例では、サンプリングされる画素数における標準値からのずれが位相差に蓄積され、これにともなって画面の上部と下部がずれて見えたり、画面の途中の乱れがそのフィールドが終了するまで継続する現象に着目し、この現象の防止を提案する。先の実施例は、FIFOメモリ16のメモリ容量を標準値の画素数と比べて少なくし、この場合、読出し制御部18内にレジスタ18c、読出し調整回路18dおよび選択回路18eを設けて読出し制御を行って映像に現れるフリッカノイズを防止している。

【 0 0 5 2 】

画素タイミング調整装置30には、カウンタ32、書込み制御部34、FIFOメモリ36

および読出し制御部38が含まれている。画素タイミング調整装置30は、概略的に先の実施例の構成に比べると、1H判定部12がなく、カウンタ32だけが配設され、後述するように書込み制御部34で1Hラインにおける画素数の判定を行っている点で異なっている。画素タイミング調整装置30においても前述した実施例で使用した同じ信号に対して同じ参照符号を付している。

【 0 0 5 3 】

カウンタ32は、サンプリングクロック12cで1Hラインをサンプリングする標準値 (858) 以上をカウントするものである。カウンタ32には、水平同期信号12dがリセット信号として供給されている。カウンタ32は、1Hライン中にサンプリングしたカウント値32aを書込み制御部34に出力している。

【 0 0 5 4 】

書込み制御部34には、書込み制御回路34aおよび書込みカウンタ34bが配設されている。書込み制御回路34aは、カウンタ32からのカウントが供給されると直ちにカウント開始を示す書込み制御信号34cを書込カウンタ34bに供給する。

【 0 0 5 5 】

なお、書込み制御回路34aには、供給されるカウント値32aと標準値 (858) とを比較して1Hラインのサイズを判断させ、書込みカウンタ34bを制御させるようにしてもよい。

【 0 0 5 6 】

書込みカウンタ34bは、カウンタ32と同様に1H以上のカウント可能なものである。カウンタ34bにも水平同期信号12dがリセット信号として供給されている。これにより、書込みカウンタ34bは、書込みアドレス34dを1Hライン毎にリセットしている。書込みカウンタ34bは、書込みアドレス34dをFIFOメモリ36および読出し制御部38に供給している。

【 0 0 5 7 】

FIFOメモリ36は、先の実施例と同様またはそれ以上のメモリ容量を有する。本実施例では、1Hラインの画素数以上を格納可能なメモリを使用する。FIFOメモリ36は、入力データ16aを書込みアドレス34dに応じて順序に応じて格納し、後述する読出しアドレスに応じて格納されている入力データ16aを順序に応じて出力デ

ータ16bとして読み出している。FIFOメモリ36は、前述した実施例で書込み量の制約がなかったが、書込みデータ量を基本的に1Hラインに規定している点が異なっている。

【 0 0 5 8 】

読出し制御部38には、読出し制御回路38a、読出しカウンタ38bおよびアドレス判定回路38cが備えられている。読出し制御回路38aは、読出しカウントにおける最初の開始タイミングを検出し、読出しカウンタ38bにカウンタ制御信号38dを出力する。読出し制御回路38aには、あらかじめFIFOメモリ36のメモリ容量nの半値($n/2$)が位相差として供給されている。読出し制御回路38aは、書込みカウンタ34bから書込みアドレス34dが供給され次第カウントを開始し、このカウントが位相差の値に達したとき、最初の開始タイミングとしてカウンタ制御信号38dを出力する。

【 0 0 5 9 】

読出しカウンタ38bは、標準の画素数を数える画素カウンタである。このため読出しカウンタ38bには、1H毎に供給されるリセット信号が不要である。読出しカウンタ38bは、読出し制御における1Hライン毎のリセット供給されるサンプリングクロック12cに応動してカウントを行い、読出しアドレス38eをアドレス判定回路38cに供給する。

【 0 0 6 0 】

なお、FIFOメモリ36が1Hの標準値以上のメモリ容量を有する場合、書込みカウンタ34bおよび読出しカウンタ38bは、メモリ容量に応じた画素数のカウンタを用意し、この他に図示しないが標準値をカウントする標準カウンタを用意するようにしてもよい。また、標準値カウンタは、カウンタ制御信号38dの供給に応動してカウントを開始し、標準値の巡回カウントを行いながら、1Hを示す標準値のカウント毎にリセット信号を読出しカウンタ38bに出力する。これにより、前述した場合と同様に読出しアドレス38eを標準値毎にループさせることができる。

【 0 0 6 1 】

アドレス判定回路38cは、FIFOメモリ36に供給する書込みアドレス34dと読出しアドレス38eが一致するか否かを比較判定し、アドレスの一致に応じて読出しカ

ウンタ38bに出力禁止信号38fを出力する。出力禁止信号38fは、この一致した読出しアドレス38eがFIFOメモリ36に供給されると、書込みアドレス34dにともない供給される入力データ16aが破壊される虞があり、書込みアドレス34dを優先して入力データ16aを書き込んだ後に出力の禁止を解除するように供給される。読出しカウンタ38bは、出力禁止信号38fの解除にともない読出しアドレス38eの供給を再開する。この結果、供給される読出しアドレス38eは、書込みアドレス34dと異なる値がずれて出力される。FIFOメモリ36は、破壊されなかった入力データがずれに応じて出力データとして読み出される。

【 0 0 6 2 】

次に画素タイミング調整装置30の動作について図5を参照しながら説明する。図5のタイミングチャートには、1Hラインにおける所定の画素数がサンプリングされた場合((a), (b), (c))および所定の画素数より少なくサンプリングされた場合((d), (e), (f))がそれぞれ、示されている。ここで、FIFOメモリ36には、図5(b)に示すように1Hラインにおける所定の画素数(858)に対応するメモリ容量 n が使用されている。位相差は、前述した定義に従ってメモリ容量 n の半値($n/2$)に設定している。図5(a)~(c)が示すように、所定の画素数が入力データ16aとして供給され、出力データ16bが読み出されるとき、位相差 $n/2$ が保たれていることがわかる。

【 0 0 6 3 】

これに対して入力データ16aのサンプリング(画素)数が少ない場合、画素タイミング調整装置30は、書込み制御部34においてカウント開始を示す書込み制御信号34cによる書込み制御を行うだけで、標準値や非標準値が示す画素数を考慮していない。書込み制御部34は、書込み制御において1Hライン分を書き込むことが重要であり、水平同期信号12dが供給されることにより1Hラインの書込み終了と同時に書込みアドレスがリセットされる。このため、1Hラインの標準画素数に足りなくても、強制的に次にラインにおける書込み制御を開始している。これは、図5(d), (e)の矢印C, Dが示す画素数の差または不足分の画素数 α はリセットによる書込みの飛ばし処理に相当する。

【 0 0 6 4 】

次に読出し制御部38では、標準の画素数をカウントする読出しカウンタ38bを用いていることから、読出しアドレス38eは標準値でカウントがループすることになる。読出し制御は、読出し開始後、上述したループカウントにともなう読出しアドレス38eがFIFOメモリ36に供給される。1Hの標準値にたとえば、 α 個足りない場合、矢印Eの位置でこのラインにおける読み出しが終了する。したがって、矢印Eの位置（アドレス）から次のラインにおける読出し開始までの α 個はデータの無い空読みになる。しかしながら、これにともなう映像の端がちらつく現象は起こらない。

【 0 0 6 5 】

画素タイミング調整装置30は、前述した位相差の概念を用いない書込み制御を行い、標準の画素数をカウント基準とする読出し制御を行ってFIFOメモリ36にアクセスして映像信号の入出力調整を行っている。この制御の関係においても、実際には、標準の画素数より少ない入力データ16aが供給されると、位相差の定義から明らかなように、位相差が増加する。 α 個少ない場合、位相差は個数単位で表すと $n/2 + \alpha$ になる。さらに、仮に次のラインでも1Hラインとして β 個少ない入力データ16aの場合、位相差は、 $n/2 + \alpha + \beta$ になる。このように位相差は蓄積されてゆく。

【 0 0 6 6 】

ところで、書込みアドレスに対して読み出しアドレスがずれて蓄積した結果、両アドレスが一致してしまうことがある。書込みアドレスの入力データが破壊されかねないので、一致した場合、書込み制御を優先する。そこで、読出し制御部38のアドレス判定回路38cでは、一致を検出し、出力禁止信号38fを読出しカウンタ38bに出力する。読出しカウンタ38bは、このとき読出しアドレス38eのカウント処理を禁止し出力しない。読出しカウンタ38bは、出力禁止信号38fの禁止解除を受けてカウント動作を再開する。したがって、再開時の読出しアドレスは、書込みアドレスに対して一つ遅れた値になっている。

【 0 0 6 7 】

このようにアドレスの衝突や書込みアドレスに対する読出しアドレスの飛越しを回避して、FIFOメモリ36にアクセスすることにより、1Hラインあたりの画素数

を管理することができ、書込みのリセットをライン毎に行うことにより、画面の途中でラインに一部破綻が生じても、そのラインの一部破綻だけで済むので、これまでの破綻に比べてちらつき現象もない品質のよい映像を提供できるようになる。

【 0 0 6 8 】

次に画素タイミング調整装置30における第1変形例の構成について図6を用いて説明する。前述した実施例では、読出し制御部38がフリーで動作するため、標準信号でなければ、前述したように書込みアドレスと読出しアドレスが一致する場合が生まれる。この一致は、読出しを停止させることから、動作の不連続点となる。また、書込み開始と読出し開始の時間差である位相差が管理されていないので、出力データ16bには、位相差の大きさによる遅延のためにばらつきが起こる。第1変形例では、前述した実施例の構成を用い、図6に示すように、読出し制御部38に垂直同期信号38gが供給される。ここで、垂直同期信号38gは、図示しないが同期分離処理回路にて供給される映像信号から垂直同期信号を検出し、同期分離して供給される。

【 0 0 6 9 】

読出しカウンタ38bは、常に1Hラインにおける画素数を標準値分のループカウントを行っている。読出しカウンタ38bには、垂直同期信号38gが供給された際にカウントをリセットする。このようにリセットを行うことにより、1フィールド毎に蓄積した位相差がクリアされるので、前述した実施例で生じた書込みアドレスと読出しアドレスの一致が起こり難くなり、不連続点の発生を抑制することができる。また、この垂直同期信号38gの供給により、1フィールド単位に書込み制御と読出し制御の両方が管理されるため入力と出力の間で生じるばらつきが起こり難くなる。垂直同期信号38gを供給する場合、図6のアドレス判定回路38cは設けなくても済む。

【 0 0 7 0 】

なお、アドレス判定は、必要に応じて不連続点の監視制御するようにしてもよい。これにより、構成を簡便化し、さらに品質のよい映像を提供できるようになる。

【 0 0 7 1 】

次に画素タイミング調整装置30における第2変形例の構成について図7を用いて説明する。画素タイミング調整装置30には、NTSC規格における標準信号や非標準信号など各種の映像信号が供給される。入力される映像信号の種類によって画素タイミング調整装置30は、読出しにおいてリセットをかける位置を調整して、出力データ16bを表示させた際の映像品質を向上させる。特に、品質の悪いアナログVTR (Video Tape Recorder)やアナログTV (TeleVision-set) 等からの映像信号は、常に一定のタイミングで読み出し、垂直同期信号38gでリセットをかけると、一瞬、同期外れが生じることがある。

【 0 0 7 2 】

第2変形例では、図5に示した実施例の構成に加えて、読出し制御部38の読出し制御回路38aに外部から調整リセット信号38hを手動的に供給している。読出し制御回路38aには、あらかじめ位相差 $n/2$ が格納され、供給される書込みカウント34dを用いて位相差 $n/2$ の時間経過を検出し、読出しカウンタ38bに対して読出し開始を指示するカウンタ制御信号38dを出力している。また、読出し制御回路38aは、外部から供給される調整リセット信号38hをカウンタ制御信号38dとして出力する。調整リセット信号38hは、読出しアドレス38eをリセットする垂直同期信号のタイミングが一定でないので、読出しカウンタ38bにおけるリセットのタイミングが変化する。

【 0 0 7 3 】

図示しない、信号発生器などから出力されるたとえば、NTSC規格の標準信号やこれに近い信号は1Hラインあたりの画素数が一定である。このような映像信号に対する調整リセット信号38hは、読出しカウンタ38bのリセットタイミングを入力データ16aにおけるフィールドの有効ライン終了直後に設定する。これにより、画素タイミング調整装置30は、出力データ16bによる映像に影響を与えず、1Hラインあたりの画素数が管理された映像を得ることができる。

【 0 0 7 4 】

これに対して、1Hラインあたりの画素数が一定でない映像品質の劣るたとえば、VTR等からの映像信号は、垂直同期位置も定まっていない。このためフィールド

ドの有効ライン直前にリセットを設定しても、実際のリセットは設定したリセットの位置から変動した位置になってしまう。第1の変形例のように、一定のリセット位置で読出しリセットを続けると、映像の同期が外れてしまうことがある。このような場合に調整リセット信号38hは、有効画素内の位置をリセットタイミングの位置として提供される。これは、多少有効画素にかかってもこのタイミング（位置）でリセットをすると、映像が安定するからである。ここで、有効画素内といっても、映像の下部であり、元々品質の悪い映像であるから気にならないし、TV等では表示範囲外となる。

【 0 0 7 5 】

このように入力される映像の種類や特性によって外部から調整リセット信号38hを供給してリセット位置を可変したり、読出しにおけるリセットをなくしたりすることで、どのような映像に対しても、出力データ16bによる映像信号の品質を向上させることができる。

【 0 0 7 6 】

次に画素タイミング調整装置30における第3変形例の構成について図8を用いて説明する。第3変形例の画素タイミング調整装置30は、図4の構成要素の内、読出し制御部38が異なっている。読出し制御部38は、タイミング制御部38A、読出しカウンタ38bおよび位相差判定回路38iを含む。タイミング制御部38Aは、読出しカウンタ38bに対する読出し開始やカウンタのリセットするタイミング信号を供給する機能を有している。タイミング制御部38Aには、読出し制御回路38aおよび論理和ゲート38jが含まれている。

【 0 0 7 7 】

読出し制御回路38aは、前述したように、位相差 $n/2$ の時間経過を検出し、この検出に応じて読出しカウンタ38bに読出し開始を報知するカウンタ制御信号38dを生成し、論理和ゲート38jに供給する。論理和ゲート38jは、供給される3つのカウンタ制御信号38d、位相差判定回路38iからの位相差判定信号38kおよび垂直同期信号38gに対して論理和演算を行って総合カウンタ制御信号38Dを生成し、読出しカウンタ38bに供給する。

【 0 0 7 8 】

読出しカウンタ38eは、標準値をループカウントするカウンタで、読出し制御回路38aから供給されるカウンタ制御信号38dのタイミングに応じてカウントを開始する。読出しカウンタ38bは、サンプリングクロック12cに応動して出力する読出しアドレス38eをFIFOメモリ36および位相差判定回路38iにそれぞれ、供給している。

【0079】

位相差判定回路38i は、はじめに設定されている位相差 $n/2$ を基準に位相差の許容範囲がスレッシュホールド値で設定され、動作中における位相差が設定したスレッシュホールド値を越えているか否かを判定する機能を有している。位相差は、前述したように、はじめに設定されている位相差 $n/2$ が1Hラインにおいて、サンプリングされた（画素）数の標準値に対する増加や減少といった画素数の差にともなってそれぞれ、位相差の減少や増加がもたらされ、ライン毎に得られるこの差が位相差に蓄積される。このことは、図3および図5のタイミングチャートを用いてすでに説明した。

【0080】

位相差判定回路38iは、蓄積した現在の位相差が設定したスレッシュホールド値を越えた場合、読出しカウンタ38bに対してカウントをリセットするように位相差判定信号38kを論理和ゲート38jに出力する。位相差判定回路38iにもサンプリングクロック12cが供給され、このクロックに応動して動作している。

【0081】

なお、スレッシュホールド値および位相差は、判定に際して絶対値として扱って判定を行うようにしてもよい。

【0082】

次に第3変形例における画素タイミング調整装置30の動作を説明する。動作説明は、同じ説明を繰返す煩雑さを避けるため、これまでと異なる点について説明する。前述した第2変形例では、入力される映像の種類、品質にかかわらず、効果的な画素管理が行っているが、この管理方法が外部からの制御信号の切り換えによるもので、手動操作によって行われている。入力信号の種類や信号の品質が頻繁に変わるようなシステムでは制御が難しい。

【 0 0 8 3 】

本実施例の画素タイミング調整装置30は、第2変形例に対して位相差判定回路38iでの判定結果に応じてリセットを行う機能が盛り込まれている。総合カウンタ制御信号38Dは、カウンタ制御信号38dおよび垂直同期信号38gだけでなく、位相差判定信号38kも考慮するように論理和ゲート38jを介して読出しカウンタ38bにおける動作の開始およびリセットタイミングを提供している。

【 0 0 8 4 】

位相差判定回路38iにおいて、供給される書込みアドレス34dと読出しアドレス38eの差がスレッシュホールド値よりも大きい場合、入力されている映像信号は非標準信号または品質の悪い映像信号と判定される。しかしながら、この状況は、映像信号が非標準信号から標準信号に切り換わった直後の可能性もある。本実施例の位相差判定回路38iでは、この可能性を無視し、この状況において読出しカウンタ38bに位相差判定信号38kが供給される。これにより、読出しカウンタ38bはリセットされるため、次のラインで初期の位相差が $n/2$ にされる。すなわち、スレッシュホールド値が示す位相差の範囲における中心位置に戻ることを意味する。

【 0 0 8 5 】

これにより、次ラインの入力データは、標準信号と判定することができる。したがって、位相差判定信号38kが提供するリセットタイミングは、一定なタイミングで提供される垂直同期信号38gのリセット位置に限定されるものでなく、位相差の大きさが示す状況に応じた位置をリセット位置とすることができる。

【 0 0 8 6 】

このように動作させても、入力される映像信号の種類等の変化に対しても高性能な追従を自動的に行うことができるので、どのような映像信号でも品質のよい映像をタイミング調整することにより簡単に得ることができる。

【 0 0 8 7 】

最後に画素タイミング調整装置30における第4変形例について図9を参照しながら説明する。本実施例は、第3変形例で行った映像信号の種類、品質にかかわらず、効果的に行われる自動的な画素管理の判定精度を高めてFIFOメモリ36から良好な出力データ16bが得られるように処理が行われている。

【 0 0 8 8 】

本実施例の画素タイミング調整装置30には、図8と同じ構成要素が備えられている。すなわち、カウンタ32、書込み制御部34、FIFOメモリ36および読出し制御部38を含む。カウンタ32、書込み制御部34およびFIFOメモリ36ならびに読出し制御部38の読出しカウンタ38bおよび位相差判定回路38iについては同じ説明の繰返しになるので説明を省略する。図8と異なる構成における着目点はタイミング制御部38Aの構成にある。

【 0 0 8 9 】

タイミング制御部38Aは、図8に示したように読出し制御部38aおよび論理和ゲート38jを含むとともに、さらに、カウンタ38m、画素差算出回路38nおよびリセット位置判定部38pも含んでいる。カウンタ38mは、標準値のループカウントをサンプリングクロック12cを用いて行い、垂直同期信号38gでリセットされる。カウンタ38mには、図示しないがカウンタ制御信号38dが最初のカウンタを動作開始させるトリガ信号として供給されている。カウンタ38mは、カウント値38qを画素差算出回路38nに出力する。

【 0 0 9 0 】

画素差算出回路38nは、書込みアドレス34dが示すカウント値と位相差 $n/2$ ずらして供給される標準値のカウント値38qとの間に生じる現ラインにおける実質的な画素数の差を算出して格納し、すでに格納されている一つ前の1Hラインに対して算出していた実質的な画素数の差を読み出して、現ラインの実質的な画素数の差と1H前ラインの実質的な画素数の差との差分から1H画素数のずれ量38rを算出して、リセット位置判定部38pに送る機能を有している。実質的な画素数の差とは、両カウント値の差から位相差 $n/2$ を除いた値で、これまでに生じた1Hにおけるサンプリングの増減が考慮された累積画素数である。画素差算出回路38nには、垂直同期信号38gが供給されている。したがって、画素差算出回路38nは、1H内で生じた画素数のずれ量38rを算出し、垂直同期のタイミングでリセットしている。

【 0 0 9 1 】

リセット位置判定部38pは、画素数のずれ量38r、位相差判定信号38kおよび垂

直同期信号38gからリセットをかける位置の判定を行い、この判定結果に応じたリセットタイミング信号38sを論理和ゲート38jに出力する。リセット位置の判定条件等については後段の動作においてさらに説明する。

【 0 0 9 2 】

論理和ゲート38jは、カウンタ制御信号38dとリセットタイミング信号38sの論理和演算した信号が総合カウンタ制御信号38Dとして読出しカウンタ38bに供給している。

【 0 0 9 3 】

読出し制御部38の動作を説明する。たとえば、位相差判定回路38iでは、当初、位相差が $n/2$ で開始され、位相差判定信号38kがリセット位置判定部38pに供給される。リセット位置判定部38pでは、位相差時判定回路38iから供給される位相差判定信号38kに含まれる位相差が値0または絶対値が小さい場合、入力されている映像信号は標準値または標準値に近い良品質の信号と判定する。リセット位置判定部38pは、この判定に応じて読出しにおけるリセットタイミング信号38sを供給して入力信号の有効ライン直後に挿入する。ここでのリセットにより、図示しない映像表示部にはまったく影響のない、高画質な画像がFIFOメモリ36から出力される。

【 0 0 9 4 】

これに対して、位相差判定回路38iから供給される位相差判定信号38kに含まれる位相差が大きいと、リセット位置判定部38pでは、入力信号の画素数が標準値と大きく異なり、入力される映像信号が非標準信号または品質の悪い信号と推定される。これにより、前述にて説明したように映像信号の有効画素領域を多少犠牲にしても、入力信号のラインにおける有効画素領域内で読出しアドレス38eがリセットされることで同期信号の外れにより一瞬の間、表示画像が崩れることを防ぎ、高画質を得ることができる。

【 0 0 9 5 】

しかしながら、入力される映像信号が品質の悪い状態から良好な状態に切り換わっても、位相差判定回路38iが出力する位相差判定信号38kに含まれる位相差は累積した値を保っているから、この場合の位相差は悪い状態と同じに大きい。し

たがって、リセット位置判定部38pでは、この状況では状況変化が生じていないと判断するため、リセットがかからない状態が選択される。

【0096】

一方、良好な状態の位置関係においてリセットすると、以後の画像処理を良好に行えることが知られている。すでに良好な状態へと移行しているにも関わらず、正確な判定ができないことが影響している。そこで、画素タイミング調整装置30は、1ライン間での画素数のずれ量を算出する画素差算出回路38nを設けている。画素差算出回路38nでは、前述したように1H画素数のずれ量38rが算出され、ずれ量38rがリセット位置判定部38pに供給される。位相差が大きくても、1H画素数のずれ量38rが小さければ、良好な状態の映像信号が供給されていることを意味する。

【0097】

リセット位置判定回路38iは、画素差算出回路38nからの1H画素数のずれ量38rを参照することで現在の供給されている映像信号の状態を正確に判定することができる。1H画素数のずれ量38rは、あらかじめ設定された状態判定スレッシュホールド以下の大きさか否かに応じて判定される。リセット位置判定回路38iは、1H画素数のずれ量38rが状態判定スレッシュホールド以下のとき、良好状態にあると判定してリセット信号38sを生成する。リセット位置判定回路38iは、生成したリセット信号38sを読み出しカウンタ38bに論理和ゲート38jを介して総合カウンタ制御信号38Dとして供給し、たとえば入力信号の有効ライン直後に挿入してリセットする。

【0098】

このように動作を入力する映像信号の種類等の変化も考慮してリセット信号を供給することによりリセットの位置も自動的に調整して追従させて高性能な装置にすることができ、どのような映像に対しても品質の良い映像を提供することができる。

【0099】

以上のように構成することにより、画素タイミング調整装置10において読み出し制御部18にて位相差を考慮し、読み出し調整回路18dにおいて書込み許可制御信号1

4eおよび1H判定部12による所定の画素数より少ない画素数の判定結果に応じてレジスタ18cに最終画素の書込みアドレス14fおよび画素数の差12gを格納させ、読出し開始から最終画素の書込みアドレス14fとFIFOメモリ16に供給される読出しアドレス18gとを比較して、比較結果の一致により少ない画素数における最終画素に達したと判断し、レジスタ18cが格納する画素数の差12gが示す回数分、最終画素の書込みアドレス14fおよび切換制御信号18nを生成し、この期間中、選択回路18eから最終画素の書込みアドレス14fをFIFOメモリ16に読出しアドレス18pとして供給することにより、少ない画素分が最終画素で補われ、この処理の後、レジスタ18cは読出し調整回路18dによって格納内容がリセットされる。これにより、相関性の高い画素の値が少ない画素分だけ出力されるので、的確に画面の端に発生していたフリッカノイズ等を防止でき、ラインあたりの画素数が管理された高画質な映像を提供することができる。

【 0 1 0 0 】

また、画素タイミング調整装置30においては、1ライン分（以上）の容量を有するFIFOメモリ36を用い、読出し制御部38にて供給される映像信号を1ラインずつサンプリングして得られる入力データのカウンタ値と所定の値との間に生じるずれを検出し、このずれがライン毎に蓄積して、このずれのうち、少ない方向への画素数のずれにともなって位相差が増加させられるので、この位相差が増加しても影響を受けないように読出しアドレスに対する回避処理や蓄積したずれの吸収処理を行って、読出し制御を続けることにより、画面における上下ずれや画面の途中に生じる乱れの継続を防ぎ、高画質な映像を提供することができる。

【 0 1 0 1 】

読出し制御部38は、読出し制御部38aで位相差の経過を判定し、生成した読出しカウンタ38bに読出しカウンタ制御信号38dを供給して読出しアドレス38eを出力させ、アドレス判定部38cで書込み制御部34が供給する最終画素の書込みアドレス14fと読出しカウンタ38bの読出しアドレス38eとでアドレスの一致を判定し、一致に応じて出力禁止信号38fを読出しカウンタ38bに供給してカウンタの動作を1カウント分禁止し、書込みを優先させて読出しを行って読出し制御を継続させて画面における上下ずれや画面の途中に生じる乱れの継続を防ぐことができる。

【 0 1 0 2 】

読出し制御部38では、FIFOメモリ36への書込みにおいて入力される映像信号から得られる水平同期信号12dで書込みアドレス34dを初期化し、読出しを常に一定の間隔で行うことで、ラインあたりの画素数が管理された高品質な映像を提供することができる。

【 0 1 0 3 】

読出し制御部38は、上述した構成に加えて、さらにFIFOメモリ36の読出しを入力される映像信号から得られた垂直同期信号38gによって初期化されることにより、画面における上下ずれや画面の途中に生じる乱れの継続を防ぎ、高画質な映像を提供することができる。

【 0 1 0 4 】

読出し制御部38には、入力される映像信号に応じて外部より手動的に調整リセット信号38hが供給され、FIFOメモリ36の読出しにおけるリセット位置が可変させられることによって、ラインあたりの画素数が管理された高品質な映像を得ることができる。

【 0 1 0 5 】

読出し制御部38は、位相差判定回路38iで位相差の大きさが許容範囲内にあるかを判定し、許容範囲を越えた場合、タイミング制御部38Aを介して読出しカウンタ38bに対する読出し開始を制御したり、FIFOメモリ36からの読出しにおける初期化またはリセットの位置を可変として動作させることにより、映像信号が異なる性質を有していてもラインあたりの画素数が管理された高品質な映像を提供することができる。

【 0 1 0 6 】

読出し制御部38においてタイミング制御部38Aでは、画素差算出回路38nにより1ライン間の画素数のずれ量38rをリセット位置判定部38pに供給し、位相差判定回路38iの位相差判定信号38kと合わせてリセットの可否を判定して読出しカウンタ38bをリセットさせることにより、よりの確なラインあたりの画素数が管理された高品質な映像を供給させることができる。

【 0 1 0 7 】

【発明の効果】

このように本発明の画像処理装置によれば、読出し制御手段にて位相差を考慮し、読出し調整手段において書込み許可制御信号およびライン判定手段による所定の画素数より少ない画素数の判定結果に応じてレジスタに最終画素の書込みアドレスおよび画素数の差を格納させ、読出し開始から最終画素の書込みアドレスとメモリ手段に供給される読出しアドレスとを比較して、比較結果の一致により少ない画素数における最終画素に達したと判断し、レジスタが格納する画素数の差が示す回数分、最終画素の書込みアドレスおよび切換制御信号を生成し、この期間中、選択手段から最終画素の書込みアドレスをメモリ手段に読出しアドレスとして供給して、少ない画素が最終画素で補われることにより、相関性の高い画素の値が少ない画素分に出力されるので、的確に画面の端に発生するフリッカノイズ等を防止し、ラインあたりの画素数が管理された高画質な映像を提供することができる。

【 0 1 0 8 】

また、本発明の画像処理装置によれば、読出し制御手段にて供給される映像信号を1ラインずつサンプリングして得られる入力データのカウンタ値と所定の値との間に生じるずれを検出し、このうち、画素数が少ない方向へのずれにともなうラインにおいて蓄積されることにより、位相差が増加させられるので、この位相差が増加しても影響を受けないように読出しアドレスに対する回避処理や蓄積したずれの吸収処理を行って、読出し制御を続けることにより、画面における上下ずれや画面の途中に生じる乱れの継続を防ぎ、高画質な映像を提供することができる。

【図面の簡単な説明】

【図1】

本発明の画像処理装置を適用した画素タイミング調整装置の概略的な構成を示すブロック図である。

【図2】

図1の画素タイミング調整装置に対する比較例の概略的な構成を示すブロック

図である。

【図 3】

図 1 および図 2 に示した画素タイミング調整装置におけるFIFOメモリの制御を説明するタイミングチャートである。

【図 4】

本発明の画像処理装置における他の構成を適用した画素タイミング装置の概略的な構成を示すブロック図である。

【図 5】

図 5 に示した画素タイミング調整装置におけるFIFOメモリの制御を説明するタイミングチャートである。

【図 6】

図 4 の画素タイミング装置における第 1 変形例の概略的な構成を示すブロック図である。

【図 7】

図 4 の画素タイミング装置における第 2 変形例の概略的な構成を示すブロック図である。

【図 8】

図 4 の画素タイミング装置における第 3 変形例の概略的な構成を示すブロック図である。

【図 9】

図 4 の画素タイミング装置における第 4 変形例の概略的な構成を示すブロック図である。

【符号の説明】

10, 20, 30 画素タイミング調整装置

12 1H判定部

14, 24, 34 書込み制御部

16, 26, 36 FIFOメモリ

18, 28, 38 読出し制御部

18a, 28a, 38a 読出し制御回路

18b, 28b, 38b 読出しカウンタ

18c レジスタ

18d 読出し調整回路

18e 選択回路

38c アドレス判定回路

38i 位相差判定回路

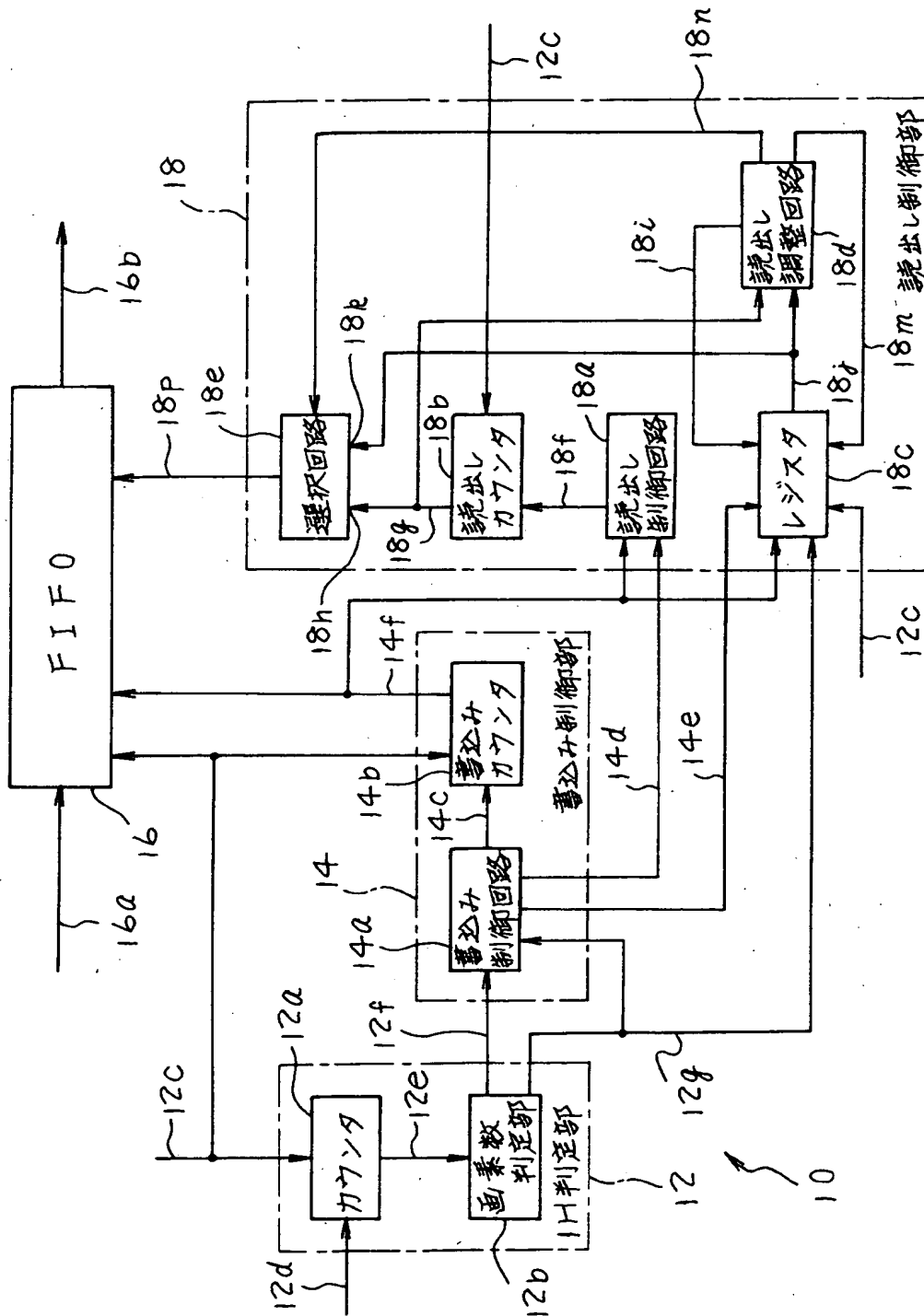
38n 画素差算出回路

38p リセット位置判定部

【書類名】

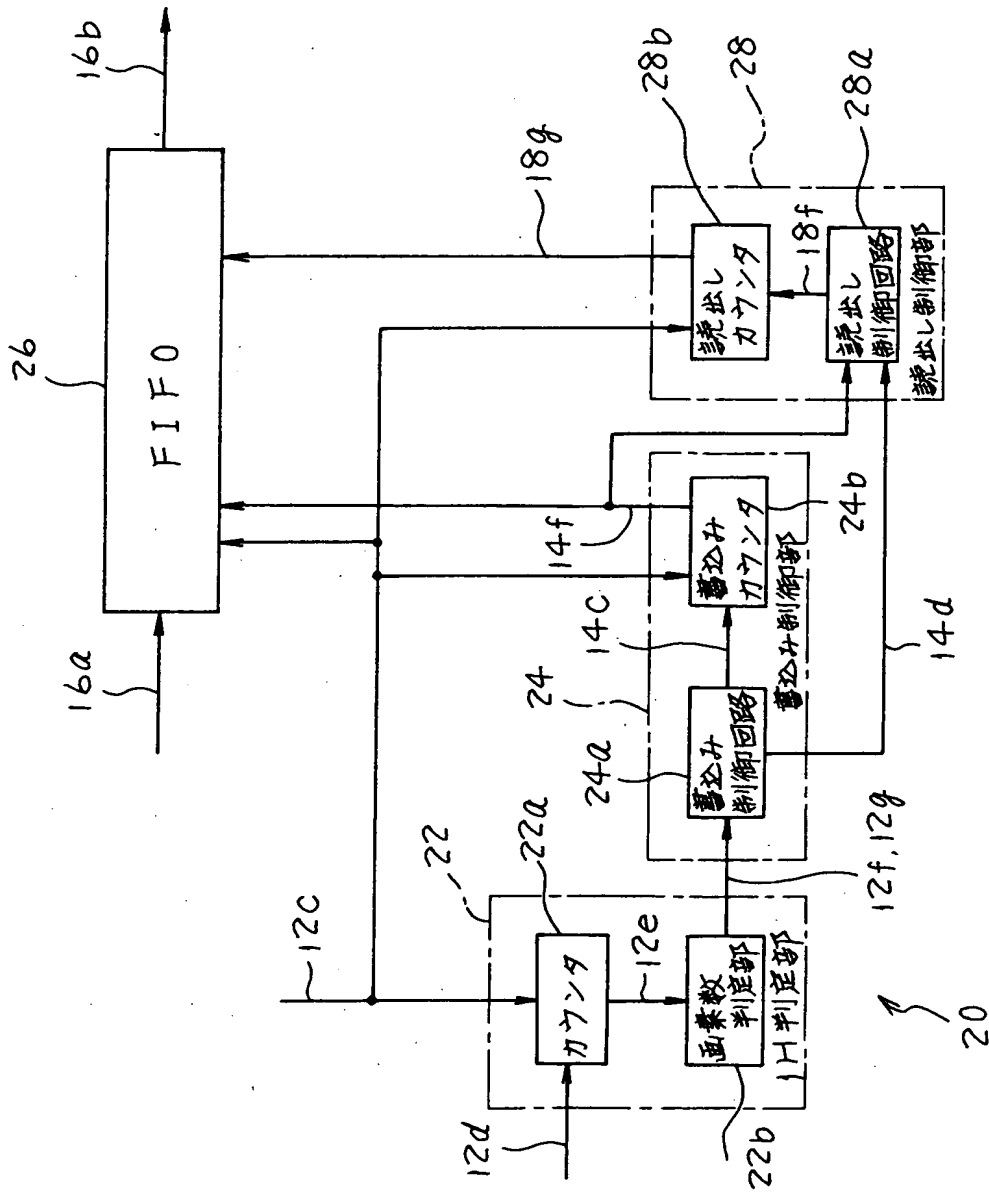
図面

【図 1】



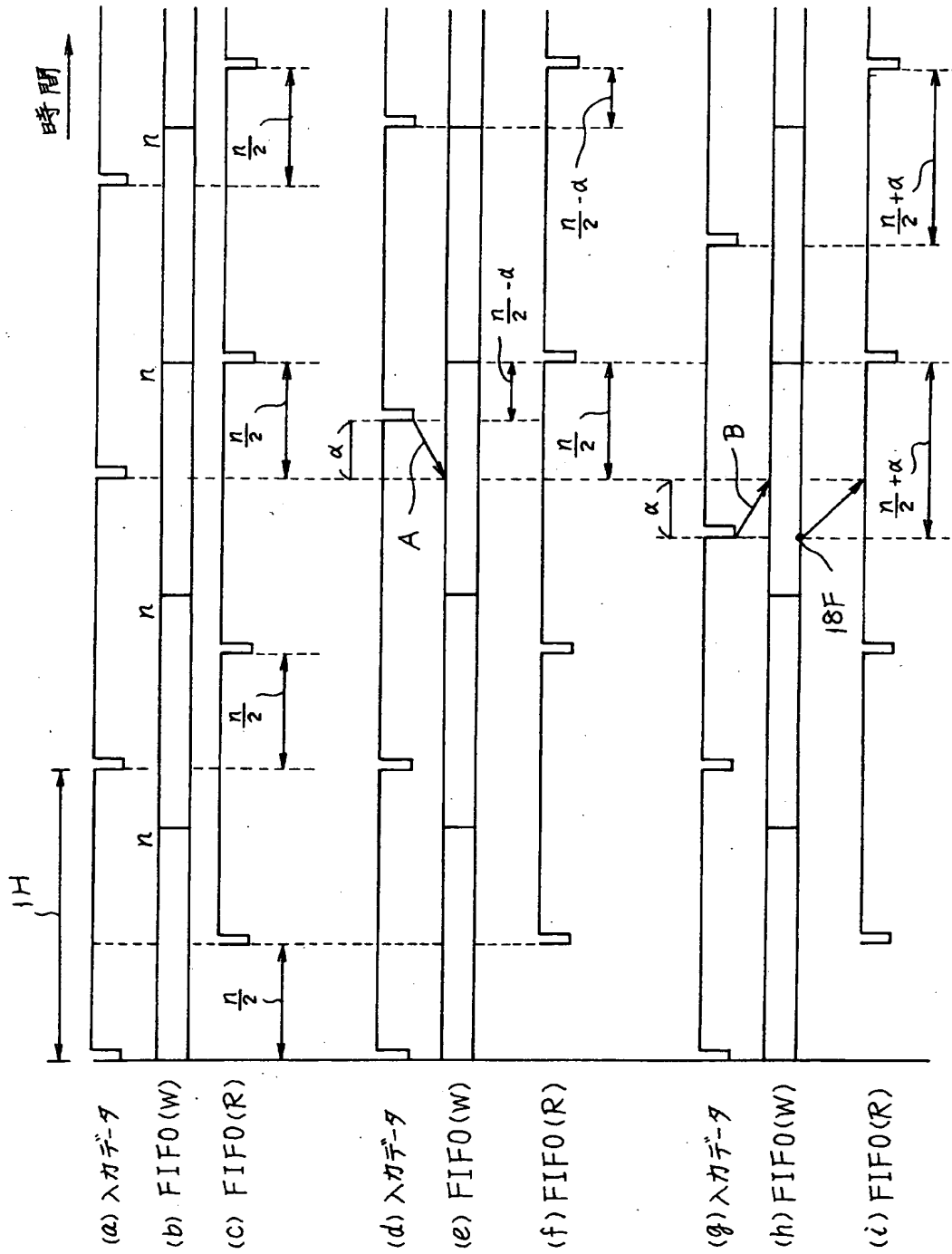
面素ダイニング調整装置の構成

【図2】



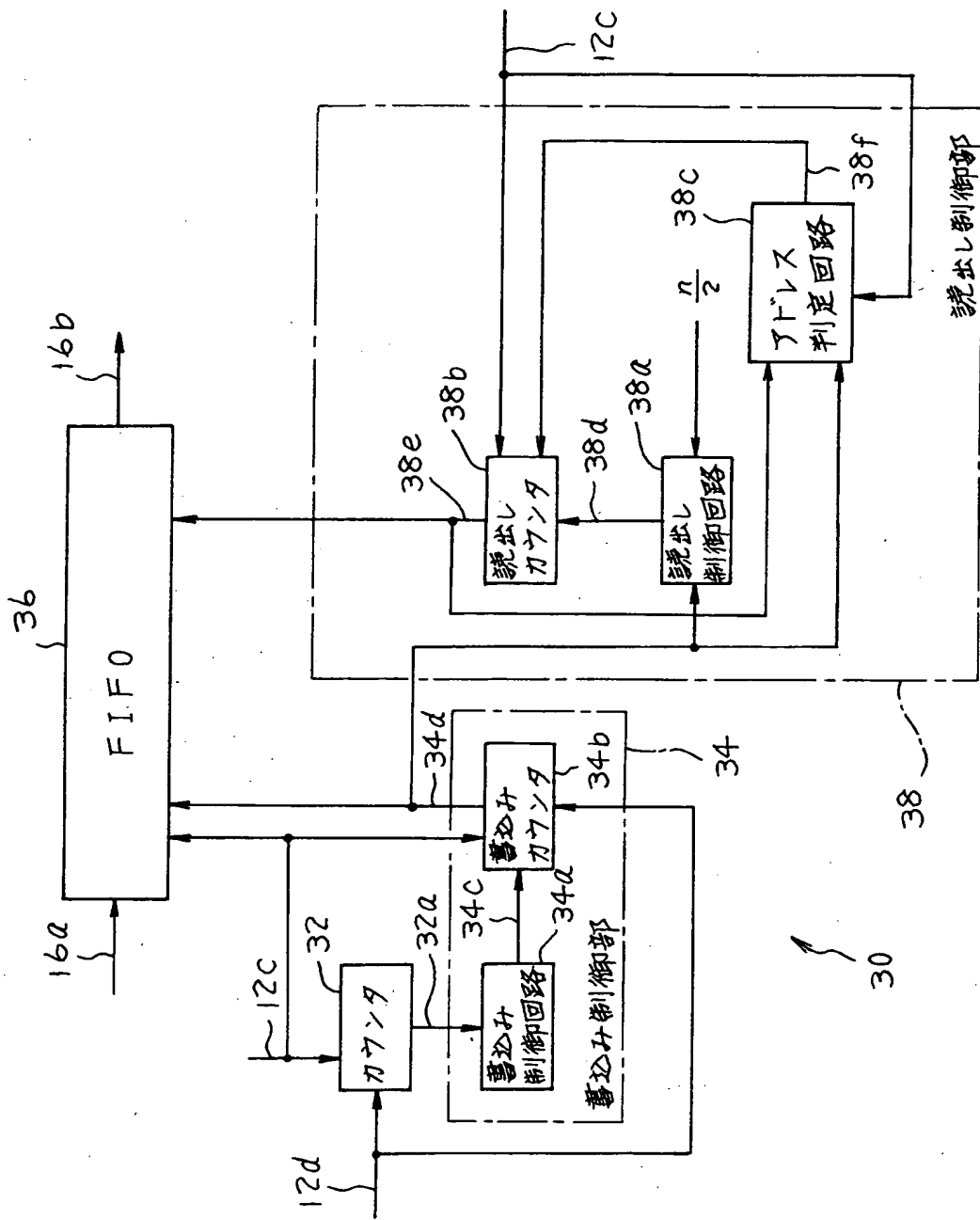
FIFOメモリ制御部の比較例

【図 3】



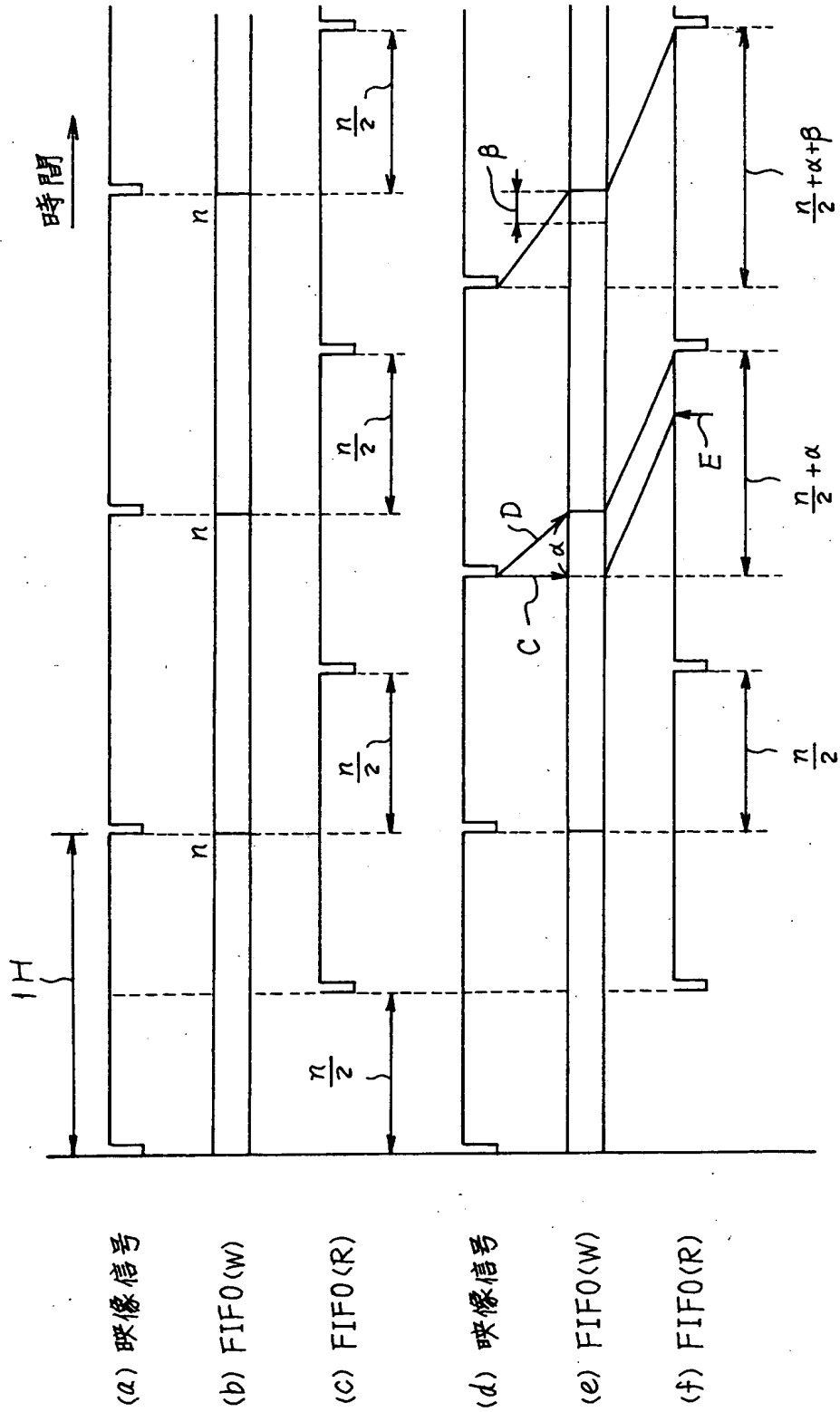
FIFO制御のタイミングチャート

【図4】



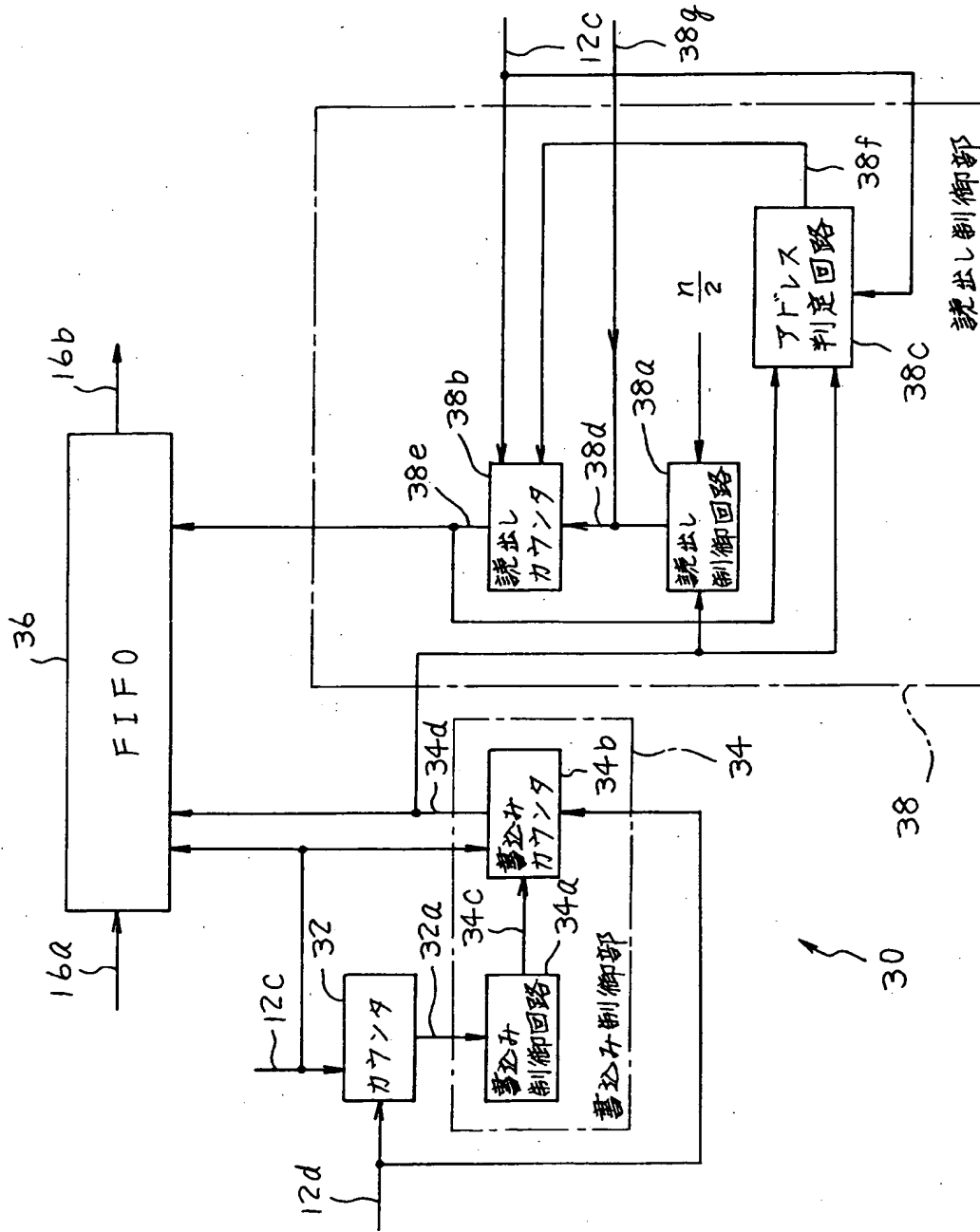
画素タイミング調整装置における他の構成例

【図5】



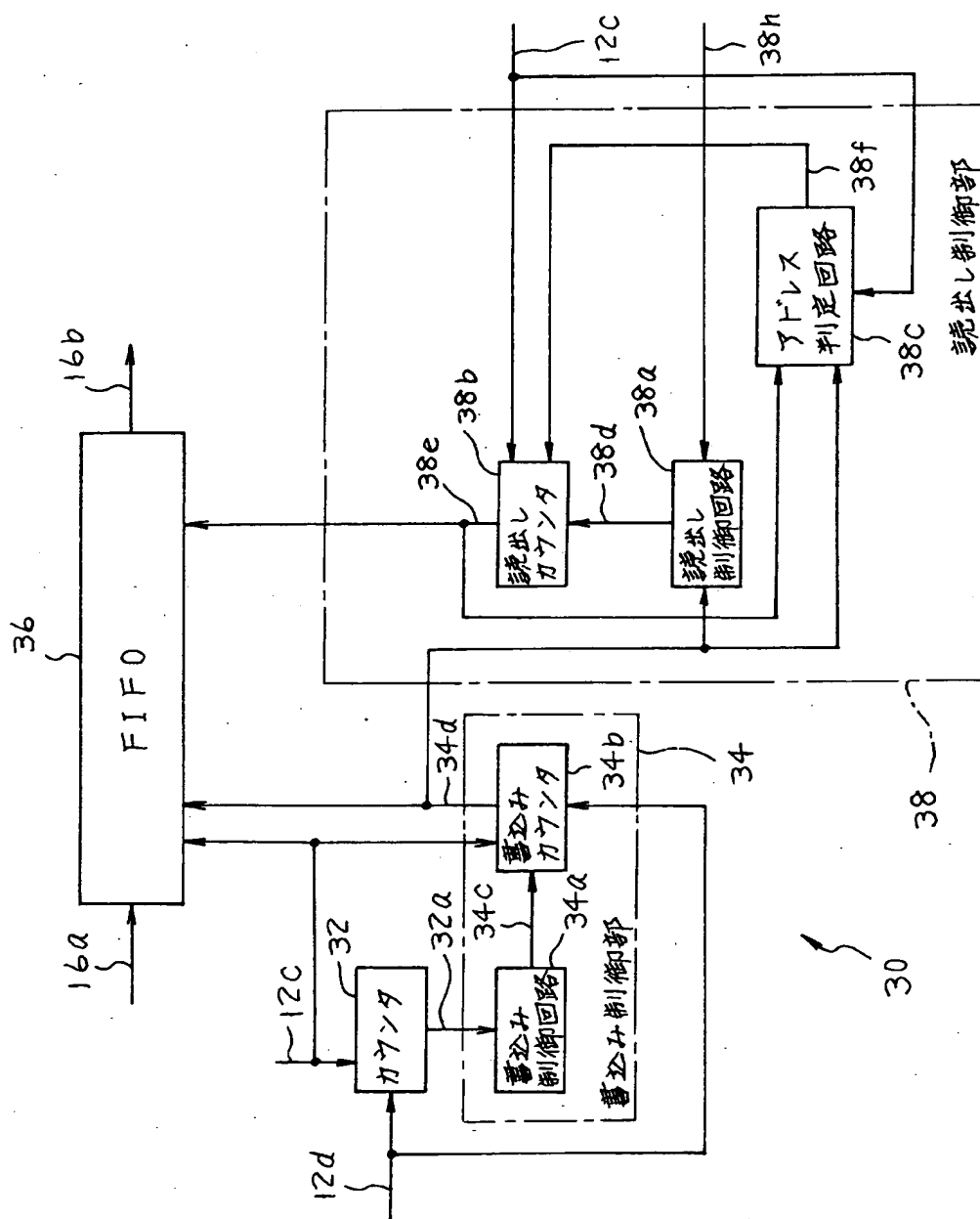
FIFO制御のタイミングチャート

【図6】



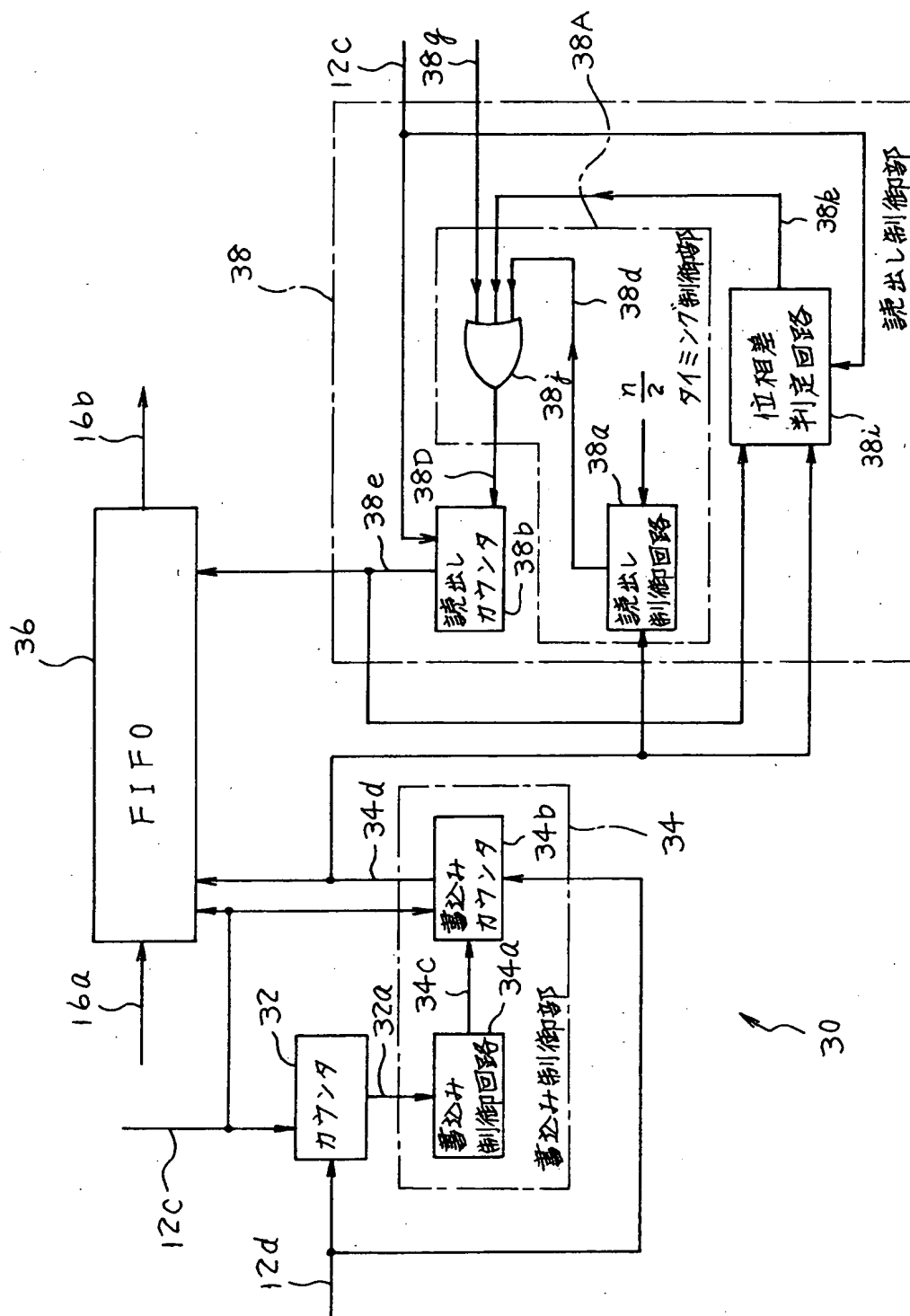
画素タイミング調整装置における第1変形例

【図 7】



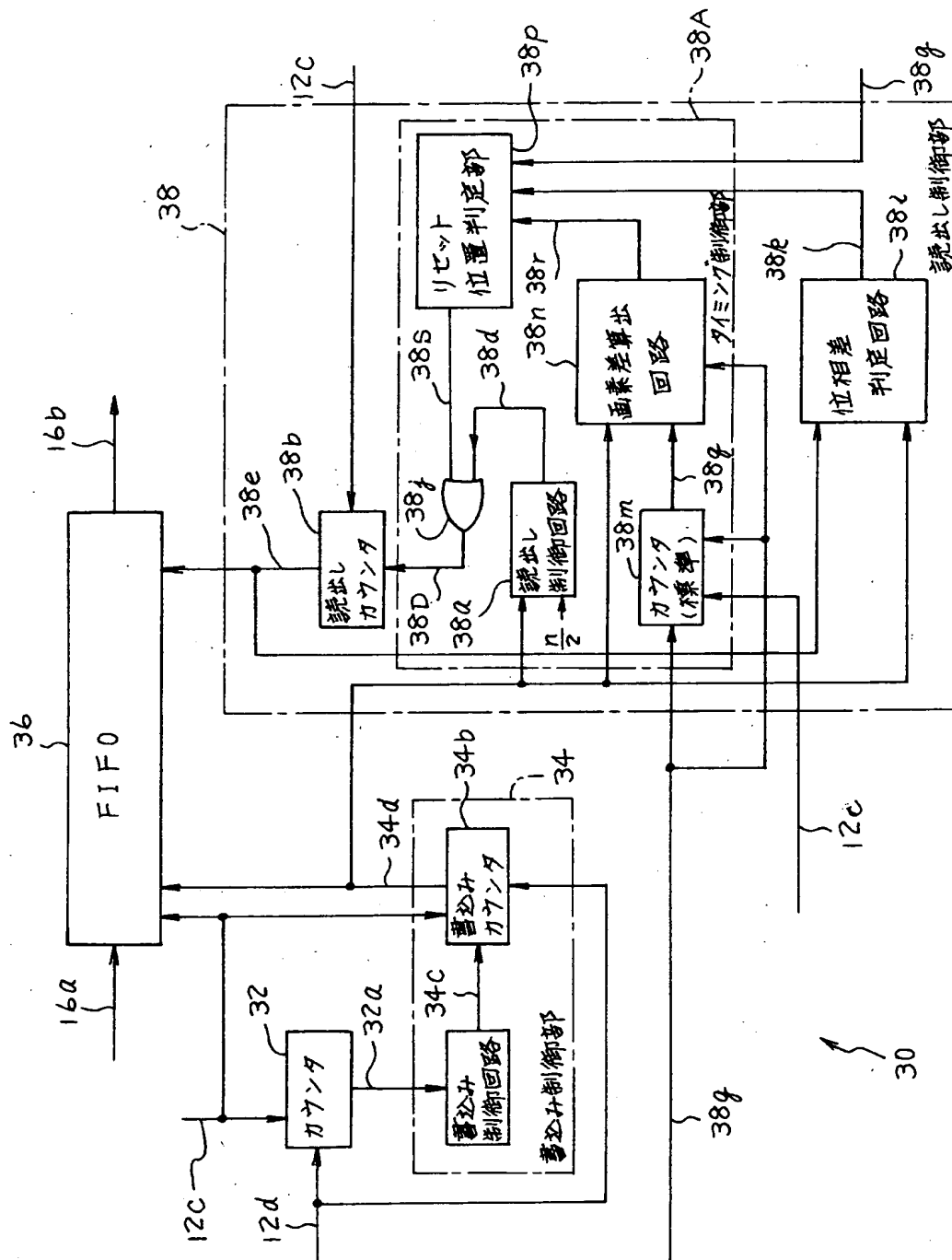
画素タイミング調整装置における第2変形例

【図8】



画素タイミング調整装置における第3変形例

【図9】



画素タイミング調整装置における第4変形例

【書類名】 要約書

【要約】

【課題】 画素数の調整にともなって生じるノイズや画像の乱れのない画像が得られる画像処理装置を提供。

【解決手段】 画素タイミング調整装置10は、読出し制御部18にて位相差を考慮し、読出し調整回路18dにおいて書込み許可制御信号14eおよび1H判定部12による所定の画素数より少ない画素数の判定結果に応じてレジスタ18cに最終画素の書込みアドレス14fおよび画素数の差12gを格納させ、読出し開始から最終画素の書込みアドレス14fと読出しアドレス18gとを比較して、比較結果の一致により少ない画素数における最終画素に達したと判断し、レジスタ18cが格納する画素数の差12gが示す回数分、最終画素の書込みアドレス14fおよび切換制御信号18nを生成し、この期間中、選択回路18eから最終画素の書込みアドレス14fをFIFOメモリ16に読出しアドレス18pとして供給し、少ない画素分を最終画素で補う。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社